

METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

Patent Number: JP2001060567
Publication date: 2001-03-06
Inventor(s): OHIRA HIROYOSHI
Applicant(s): SEIKO EPSON CORP
Requested Patent: ☐ JP2001060567
Application Number: JP19990234572 19990820
Priority Number(s):
IPC Classification: H01L21/301; H01L21/3205
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a method of manufacturing a semiconductor device, which improves the quality of a semiconductor chip by suppressing Al from burring to the chip side in a scribing step.
SOLUTION: This manufacturing method comprises a step of preparing a wafer, having Al pads 15 formed along scribe lines 21, where the vertical width of the Al pad 15 to the scribe line 21, is made narrower than a cut width 24 by a dicing blade, a step of dicing the a wafer by the dicing blade to form a plurality of semiconductor chips 22, 23 and a step of mounting the semiconductor chips on a tape carrier package. Thus Al can be suppressed from burring to the chip side in the scribe step.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-60567

(P 2 0 0 1 - 6 0 5 6 7 A)

(43) 公開日 平成13年3月6日 (2001. 3. 6)

(51) Int. Cl. ⁷

識別記号

F I

テマコード (参考)

H01L 21/301

H01L 21/78

L 5F033

21/3205

21/88

S

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願平11-234572

(22) 出願日 平成11年8月20日 (1999. 8. 20)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿 2 丁目 4 番 1 号

(72) 発明者 大平 廣吉

長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外 2 名)

Fターム(参考) 5F033 HH08 JJ08 KK04 MM21 RR04

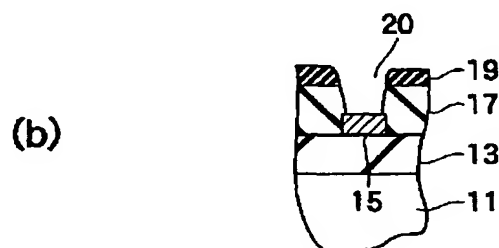
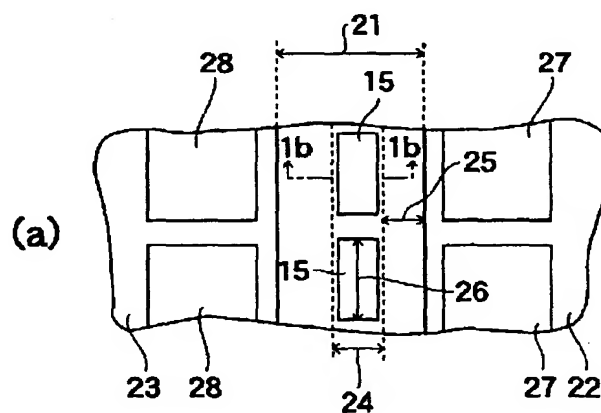
RR06 VV12 XX31 XX37

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 スクライブ工程の際にチップサイドに A l のかえりの発生を抑制することにより半導体チップの品質を向上させた半導体装置の製造方法を提供する。

【解決手段】 本発明に係る半導体装置の製造方法は、スクライブライン 2 1 に A l パッド 1 5 が形成され、スクライブライン 2 1 に対して垂直方向の A l パッド 1 5 の幅が後記ダイシングブレードによるカット幅 2 4 より狭く形成されたウエハを準備する工程と、ダイシングブレードを用いて前記ウエハをダイシングすることにより、複数の半導体チップ 2 2, 2 3 を形成する工程と、前記半導体チップに T C P 実装を行う工程と、を具備するものである。これにより、スクライブ工程の際にチップサイドに A l のかえりの発生を抑制できる。



【特許請求の範囲】

【請求項1】 スクライブラインにA1パッドが形成され、スクライブラインに対して垂直方向のA1パッドの幅が後記ダイシングブレードによるカット幅より狭く形成されたウエハを準備する工程と、ダイシングブレードを用いて前記ウエハをダイシングすることにより、複数の半導体チップを形成する工程と、前記半導体チップにTCP実装を行う工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項2】 前記A1パッドの幅が $20\mu\text{m}$ 以上 $80\mu\text{m}$ 以下であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記ウエハを準備する工程におけるウエハのスクライブラインには、前記A1パッドに接続されたポリシリコン配線がさらに形成されていることを特徴とする請求項1又は2記載の半導体装置の製造方法。

【請求項4】 スクライブラインに平面形状が四角形のA1パッドが形成され、後記ダイシングブレードによるカット領域の外側に前記A1パッドの2つの角が位置するように形成されたウエハを準備する工程と、ダイシングブレードを用いて前記ウエハをダイシングすることにより、複数の半導体チップを形成する工程と、前記半導体チップにTCP実装を行う工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項5】 スクライブラインにモリタ素子及びそれに一端が接続された幅 $1\mu\text{m}$ 未満のA1配線が形成され、チップ形成領域に前記A1配線他端が接続されたA1パッドが形成されたウエハを準備する工程と、ダイシングブレードを用いて前記ウエハをダイシングすることにより、複数の半導体チップを形成する工程と、前記半導体チップにTCP実装を行う工程と、を具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に係わり、特に、スクライブ工程の際にチップサイドにA1のかえりの発生を抑制した半導体装置の製造方法に関する。

【0002】

【従来の技術】 図5は、従来の第1の半導体装置の製造方法を説明するものであり、ウエハの一部を示す平面図である。図8(a)、(b)は、図5に示す半導体チップにTCP(テープキャリアパッケージ)の実装工程を施している様子を示す断面図である。

【0003】 まず、図5に示すようなウエハを製作する。このウエハは、半導体チップが形成されるチップ形成領域22、23及びスクライブライン21を有している。チップ形成領域22、23はスクライブライン21により分離されている。チップ形成領域22、23にはパッド27、28が形成されている。スクライブライン

21上には複数のA1パッド51が形成されている。A1パッド51は、ウエハに形成されたTEG(Test Elementary Group)などに電気的な試験を行う際に測定用針を接触させるためのパッドである。

【0004】 次に、このようなウエハ上のA1パッド51を用いて電気的な試験を行い、その後、ウエハにダイシング工程を施す。すなわち、回転したダイシングブレード(刃物)を用いてウエハをスクライブライン21に沿って切断する。このようにしてウエハから半導体チップ(ICチップ)22、23を分離する。なお、ダイシングブレードによるカット幅24がスクライブラインの幅21より狭いのは、ダイシングの際にスクライブライン上でダイシングブレードがずれてもチップ形成領域22、23を切断してしまうことがないようにするためである。

【0005】 この後、分離されたICチップ22、23にはTCPの実装工程が施される。

【0006】 すなわち、図8(a)に示すように、まず、TAB(Tape Automated Bonding)テープを準備する。このTABテープはフレキシブルテープ81を有し、このフレキシブルテープ81上には接着剤(図示せず)によりボンディングリード(フィンガー)82が接続されている。ボンディングリード82はその先端にインナーリードを有している。

【0007】 次に、図8(b)に示すように、このインナーリードをICチップ22のパッド27上に位置合わせし、インナーリードとパッド27を加熱及び加圧して圧着する。このようにしてTCP実装を行う。

【0008】 ところで、上記従来の第1の半導体装置の製造方法では、図5に示すように、A1パッド51の幅が $60\mu\text{m}$ 程度であり、ダイシングブレードによるカット幅24が $30\mu\text{m}$ 程度であり、A1パッド51の幅をカット幅24より広く形成している。このため、スクライブ工程の際、A1パッド51が完全に切断されず、切断後にA1パッド51の一部が残ってしまい、その結果、チップサイドにA1のかえりが発生する。A1のかえりとは、半導体チップ22の外周付近(チップサイド)でA1片が立ち上がった状態で残ったものである。A1のかえりは、通常のワイヤボンディングでは特に問題とならないが、図8に示すようなTCP実装及びCSP(Chip Sized Package)等を製作する場合に問題となる。

【0009】 つまり、最近のパッケージの縮小化により、ICチップ22とそれをつなぐインナーリード(フィンガー82)との間隔が数十 μm 程度しかない。このため、A1のかえりがチップサイドに発生すると、A1のかえりとフィンガー82とが接触して基板とフィンガーのショートもしくはフィンガー間のショートが起こり、品質上大きな問題となり、そのICチップが不良となることがある。

【0010】図6は、従来の第2の半導体装置の製造方法を説明するものであってウエハの一部を示す平面図であり、図5と同一部分には同一符号を付し、異なる部分についてのみ説明する。

【0011】まず、図6に示すようなウエハを製作する。このウエハのスクライブライン21上には複数のA1パッド61が形成されており、A1パッド61にはA1配線62が接続されている。

【0012】次に、このようなウエハ上のA1パッド61を用いて電気的な試験を行い、その後、ウエハにダイシング工程を施す。

【0013】ところで、上記従来の第2の半導体装置の製造方法では、A1パッド61に接続され、スクライブライン上に形成されたTEGの配線62の材料がA1であるため、スクライプ工程の際、A1パッド61が完全に切断されず、切断後にA1パッド61の一部が残ってしまうだけでなく、A1配線62も完全に切断されず、切断後にA1配線62の一部が残り、その結果、チップサイドにA1のかえりが発生する。従って、A1のかえりとフィンガーとが接触して品質上大きな問題となり、そのICチップが不良となることがある。

【0014】図7は、従来の第3の半導体装置の製造方法を説明するものであってウエハの一部を示す平面図であり、図5と同一部分には同一符号を付し、異なる部分についてのみ説明する。

【0015】まず、図7に示すようなウエハを製作する。ウエハのスクライブライン21上には複数のA1パッド72が形成されている。A1パッド72の相互間にはモリタ素子71が配置されており、モリタ素子71はA1パッド72に電気的に接続されている。モリタ素子71及びA1パッド72はTEGを構成している。

【0016】次に、このようなウエハ上のA1パッド51を用いて電気的な試験を行い、その後、ウエハにダイシング工程を施す。

【0017】ところで、上記従来の第3の半導体装置の製造方法では、A1パッド51の幅をカット幅24より広く形成しているため、チップサイドにA1のかえりが発生する。その結果、品質上大きな問題となり、そのICチップが不良となることがある。

【0018】

【発明が解決しようとする課題】 前述したように、従来の半導体装置の製造方法では、スクライプ時にチップサイドにA1のかえりが発生し、A1のかえりとインナーリード（フィンガー82）とが接触して基板とフィンガーのショートもしくはフィンガー間のショートが起こり、品質上の問題が発生する。

【0019】本発明は上記のような事情を考慮してなされたものであり、その目的は、スクライプ工程の際にチップサイドにA1のかえりの発生を抑制することにより半導体チップの品質を向上させた半導体装置の製造方法

を提供することにある。

【0020】

【課題を解決するための手段】 上記課題を解決するため、本発明に係る半導体装置の製造方法は、スクライブラインにA1パッドが形成され、スクライブラインに対して垂直方向のA1パッドの幅が後記ダイシングブレードによるカット幅より狭く形成されたウエハを準備する工程と、ダイシングブレードを用いて前記ウエハをダイシングすることにより、複数の半導体チップを形成する工程と、前記半導体チップにTCP実装を行う工程と、を具備することを特徴とする。

【0021】上記半導体装置の製造方法では、スクライブラインに対して垂直方向のA1パッドの幅を、ダイシングブレードによるカット幅より狭く形成している。このため、ダイシングブレードを用いてウエハをスクライブラインに沿って切断した際、A1パッドを完全に切り取ることができる。従って、切断後のチップサイドにA1のかえりが発生することを抑制できる。このため、TCP実装の際、A1のかえりとインナーリード（フィンガー）とが接触することがない。よって、半導体チップの品質も向上させることができる。

【0022】また、本発明に係る半導体装置の製造方法においては、前記A1パッドの幅が20 μ m以上80 μ m以下であることが好ましい。

【0023】また、本発明に係る半導体装置の製造方法において、前記ウエハを準備する工程におけるウエハのスクライブラインには、前記A1パッドに接続されたポリシリコン配線がさらに形成されていることも可能である。このようにスクライブラインに配置した配線の材料にA1に比べて材質的に硬いポリシリコンを用いているため、スクライプ工程の際、かえりが発生することがない。従って、TCP実装の際、かえりとインナーリード（フィンガー）とが接触することがなく、半導体チップの品質を向上させることができる。

【0024】本発明に係る半導体装置の製造方法は、スクライブラインに平面形状が四角形のA1パッドが形成され、後記ダイシングブレードによるカット領域の外側に前記A1パッドの2つの角が位置するように形成されたウエハを準備する工程と、ダイシングブレードを用いて前記ウエハをダイシングすることにより、複数の半導体チップを形成する工程と、前記半導体チップにTCP実装を行う工程と、を具備することを特徴とする。

【0025】上記半導体装置の製造方法では、ダイシングブレードによるカット領域の外側にA1パッドの2つの角が位置するように該A1パッドを形成している。このため、ダイシングブレードを用いてウエハをスクライブラインに沿って切断した際、A1パッドをほぼ完全に切り取ることができ、A1のかえりを少なくすることができる。従って、TCP実装の際、A1のかえりとインナーリード（フィンガー）とが接触することも少なくで

きる。よって、半導体チップの品質も向上させることができる。

【0026】本発明に係る半導体装置の製造方法は、スクライプラインにモニタ素子及びそれに一端が接続された幅 $1\mu\text{m}$ 未満のA1配線が形成され、チップ形成領域に前記A1配線他端が接続されたA1パッドが形成されたウエハを準備する工程と、ダイシングブレードを用いて前記ウエハをダイシングすることにより、複数の半導体チップを形成する工程と、前記半導体チップにTCP実装を行う工程と、を具備することを特徴とする。

【0027】上記半導体装置の製造方法では、スクライプラインにモニタ素子を配置し、モニタ素子とA1配線を介して電氣的に接続されたA1パッドをチップ形成領域に配置している。このため、ダイシングブレードを用いてウエハをスクライプラインに沿って切断した際、A1パッドが切断されることがない。従って、切断後のチップサイドにA1のかえりが発生することがない。そのため、TCP実装の際、A1のかえりとインナーリード（フィンガー）とが接触することがない。よって、半導体チップの品質を向上させることができる。また、スクライプラインに形成したA1配線の幅を $1\mu\text{m}$ 未満にしているため、ダイシングの際、A1配線によるA1のかえりを $1\mu\text{m}$ 未満に抑えることができる。従って、TCP実装の際、A1のかえりとインナーリードとが接触することを抑制できる。

【0028】

【発明の実施の形態】以下、図面を参照して本発明の一実施の形態について説明する。

【0029】図1(a)は、本発明の第1の実施の形態による半導体装置の製造方法を説明するものであり、ウエハの一部を示す平面図である。図1(b)は、図1(a)に示す1b-1b線に沿った断面図である。

【0030】まず、図1(a)に示すウエハを製作する。このウエハは、半導体チップが形成されるチップ形成領域22、23及びスクライプライン21を有している。チップ形成領域22、23はスクライプライン21により分離されている。チップ形成領域22、23にはパッド27、28が形成されている。スクライプライン21上には複数のA1パッド15が形成されている。A1パッド15は、ウエハに形成されたTEGなどに電氣的な試験を行う際に測定用針を接触させるためのパッドである。スクライプラインに対して垂直方向のA1パッド15の幅は、後記ダイシングブレードによるカット幅24より狭く形成されており、具体的には例えば $20\mu\text{m}$ 以上 $80\mu\text{m}$ 以下であることが望ましい。また、カット幅24とチップ形成領域22との間には所定の間隔25を有している。また、スクライプラインに対して平行方向のA1パッド15の長さ26は、前記垂直方向のA1パッド15の幅より長く形成されている。これは、前記電氣的な試験を行う際、A1パッド15に前記測定用

針を接触させやすくするためである。

【0031】図1(b)に示すように、シリコン基板11上には絶縁膜13が形成されており、この絶縁膜13上にはA1パッド15が形成されている。このA1パッド15及び絶縁膜13上にはシリコン酸化膜17が形成されており、シリコン酸化膜17上にはシリコン窒化膜19が形成されている。シリコン窒化膜19及びシリコン酸化膜17には、A1パッド15上に位置する開口部20が形成されている。

【0032】次に、このようなウエハ上のA1パッド15を用いて電氣的な試験を行い、その後、ウエハにダイシング工程を施す。すなわち、回転したダイシングブレード（刃物）を用いてウエハをスクライプライン21に沿って切断する。このようにしてウエハから半導体チップ（ICチップ）22、23を分離する。

【0033】この後、分離されたICチップ22、23にTCPの実装工程を施す。

【0034】すなわち、まず、TABテープを準備する。このTABテープは図8に示すものと同様である。この後、インナーリード（フィンガー）をICチップのパッド27上に位置合わせし、インナーリードとパッド27を加熱及び加圧して圧着する。このようにしてTCP実装を行う。

【0035】上記第1の実施の形態によれば、スクライプライン上のA1パッド15におけるスクライプラインに対して垂直方向の幅を、ダイシングブレードによるカット幅24より狭く形成している。このため、ダイシングブレードを用いてウエハをスクライプライン21に沿って切断した際、A1パッド15を完全に切り取ることができる。従って、従来の第1の半導体装置の製造方法のように切断後のチップサイドにA1のかえりが発生することがない。そのため、TCP実装の際、A1のかえりとインナーリード（フィンガー）とが接触することがなく、シリコン基板11とフィンガーのショートもしくはフィンガー間のショートが起こることもない。よって、チップ不良が発生することを防止でき、ICチップの品質も向上させることができる。

【0036】尚、上記第1の実施の形態では、平面形状が長方形のA1パッド15を用いているが、他の形状のA1パッドを用いることも可能である。

【0037】図2(a)は、本発明の第2の実施の形態による半導体装置の製造方法を説明するものであり、ウエハの一部を示す平面図である。図2(b)は、図2(a)、(b)においては図1と同一部分には同一符号を付し、異なる部分についてのみ説明する。

【0038】まず、図2(a)に示すウエハを製作する。このウエハのスクライプライン21上には複数のA1パッド33が形成されている。A1パッド33は、ウエハに形成されたTEGなどに電氣的な試験を行う際に

測定用針を接触させるためのパッドである。スクライブラインに対して垂直方向のA1パッド33の幅は、後記ダイシングブレードによるカット幅24より狭く形成されている。また、スクライブラインに対して平行方向のA1パッド33の長さは、前記垂直方向のA1パッド33の幅とほぼ同じである。A1パッド33にはポリシリコン配線31が接続されており、このポリシリコン配線31はスクライブライン21上に配置されている。

【0039】図2(b)に示すように、シリコン基板11上には絶縁膜12が形成されており、この絶縁膜12上にはポリシリコン配線31が形成されている。このポリシリコン配線31及び絶縁膜12の上には層間絶縁膜14が形成されており、この層間絶縁膜14には接続孔が形成されている。この接続孔内及び層間絶縁膜14の上にはA1パッド33が形成されている。

【0040】上記第2の実施の形態においては第1の実施の形態と同様の効果を得ることができる。

【0041】さらに、本実施の形態では、スクライブライン21上に配置したTEGの配線31の材料にポリシリコンを用いている。このポリシリコンはA1に比べて材質的に硬いので、スクライプ工程の際、従来の第2の半導体装置の製造方法のようなかえりが発生することがない。従って、TCP実装の際、シリコン基板11とフィンガーのショートもしくはフィンガー間のショートが起こることがなく、チップ不良が発生することを防止でき、ICチップの品質も向上させることができる。

【0042】また、ポリシリコン配線31はICチップ22, 23内にも用いているため、ウエハ製造プロセスを大幅に変更する必要なくスクライブライン21にポリシリコン配線31を形成することができる。

【0043】図3(a)は、本発明の第3の実施の形態による半導体装置の製造方法を説明するものであり、ウエハの一部を示す平面図である。図3(b)は、図3(a)に示す3b-3b線に沿った断面図である。図3(a), (b)においては図1と同一部分には同一符号を付し、異なる部分についてのみ説明する。

【0044】まず、図3(a)に示すウエハを製作する。ウエハのスクライブライン21上には複数のA1パッド35が形成されている。A1パッド35は、ウエハに形成されたTEGなどに電気的な試験を行う際に測定用針を接触させるためのパッドである。A1パッド35は、その平面形状が四角形からなり、スクライブライン上のダイシングブレードによるカット領域24の外側にA1パッドの2つの角が位置するように形成されている。言い換えると、従来の第1の半導体装置の製造方法では、ウエハのスクライブラインに形成されたTEGのA1パッドがスクライブラインに対して平行な四角形からなる形状を有しているが、本実施の形態では、ウエハのスクライブラインに形成されたTEGのA1パッド35がスクライブラインに対して対角線が平行する四角形

からなる形状を有するように配置されている。

【0045】上記第3の実施の形態によれば、スクライブライン上のダイシングブレードによるカット領域24の外側にA1パッドの2つの角が位置するようにA1パッド35を形成している。このようにA1パッドの向きを従来のものから変更することにより、ダイシングブレードを用いてウエハをスクライブライン21に沿って切断した際、A1パッド35をほぼ完全に切り取ることができる。言い換えると、A1パッド35の向きを変更することによりA1パッドの面積が大きいわりにA1のかえりを少なくできる。従って、TCP実装の際、A1のかえりとインナーリード(フィンガー)とが接触することも少なくでき、シリコン基板11とフィンガーのショートもしくはフィンガー間のショートが起こることも抑制できる。よって、チップ不良が発生することを抑えることができ、ICチップの品質も向上させることができる。

【0046】図4は、本発明の第4の実施の形態による半導体装置の製造方法を説明するものであってウエハの一部を示す平面図であり、図1と同一部分には同一符号を付し、異なる部分についてのみ説明する。

【0047】まず、図4に示すウエハを製作する。このウエハは、半導体チップが形成されるチップ形成領域22, 23及びスクライブライン21を有している。チップ形成領域22にはA1パッド41, 42が形成されており、スクライブライン21上にはモニタ素子47が形成されている。モニタ素子47はA1配線43, 44を介してA1パッド41, 42に電気的に接続されている。A1配線43, 44それぞれの幅aは1 μ m未満としている。モニタ素子47及びA1パッド41, 42はTEGを構成している。A1パッド41, 42は、TEGなどに電気的な試験を行う際に測定用針を接触させるためのパッドである。スクライブラインに対して垂直方向のモニタ素子47の幅は、ダイシングブレードによるカット幅24より狭く形成されている。

【0048】次に、このようなウエハ上のA1パッド41, 42を用いて電気的な試験を行い、その後、ウエハにダイシング工程を施す。この後、分離されたICチップ22, 23にTCPの実装工程を施す。

【0049】上記第4の実施の形態によれば、スクライブライン21上にモニタ素子47を配置し、モニタ素子47に電気的に接続されたA1パッド41, 42をチップ形成領域22に形成している。このため、ダイシングブレードを用いてウエハをスクライブライン21に沿って切断した際、A1パッド41, 42が切断されることがない。従って、従来の第3の半導体装置の製造方法のように切断後のチップサイドにA1のかえりが発生することがない。そのため、TCP実装の際、A1のかえりとインナーリード(フィンガー)とが接触することがなく、シリコン基板とフィンガーのショートもしくはフィ

ンガー間のショートが起こることもない。よって、チップ不良が発生することを防止でき、ICチップの品質も向上させることができる。

【0050】また、本実施の形態では、スクライブライン21上に形成したA1配線43、44の幅aを1 μ m未満にしている。このため、ダイシングブレードを用いてウエハをスクライブライン21に沿って切断した際、A1配線43、44によるA1のかえりを1 μ m程度未満に抑えることができる。従って、TCP実装の際、A1のかえりとインナーリード（フィンガー）とが接触することを抑制でき、シリコン基板とフィンガーのショートもしくはフィンガー間のショートが起こることも抑えることができる。よって、チップ不良が発生することを抑制でき、ICチップの品質も向上させることができる。

【0051】尚、本発明は上記実施の形態に限定されず、種々変更して実施することが可能である。例えば、A1パッドの形状は発明の主旨に反しない限り他の形状に変更することも可能である。

【0052】

【発明の効果】以上説明したように本発明によれば、スクライブラインに対して垂直方向のA1パッドの幅を、ダイシングブレードによるカット幅より狭く形成している。したがって、スクライプ工程の際にチップサイドにA1のかえりの発生を抑制することができ、半導体チップの品質を向上させることができる半導体装置の製造方法を提供することができる。

【図面の簡単な説明】

【図1】図1（a）は、本発明の第1の実施の形態による半導体装置の製造方法を説明するものであってウエハの一部を示す平面図であり、図1（b）は、図1（a）に示す1b-1b線に沿った断面図である。

【図2】図2（a）は、本発明の第2の実施の形態による半導体装置の製造方法を説明するものであってウエハの一部を示す平面図であり、図2（b）は、図2（a）に示す2b-2b線に沿った断面図である。

【図3】図3（a）は、本発明の第3の実施の形態による半導体装置の製造方法を説明するものであってウエハの一部を示す平面図であり、図3（b）は、図3（a）に示す3b-3b線に沿った断面図である。

【図4】本発明の第4の実施の形態による半導体装置の製造方法を説明するものであってウエハの一部を示す平面図である。

【図5】従来の第1の半導体装置の製造方法を説明するものであり、ウエハの一部を示す平面図である。

【図6】従来の第2の半導体装置の製造方法を説明するものであり、ウエハの一部を示す平面図である。

【図7】従来の第3の半導体装置の製造方法を説明するものであり、ウエハの一部を示す平面図である。

【図8】図8（a）、（b）は、図5に示す半導体チップにTCPの実装工程を施している様子を示す断面図である。

【符号の説明】

12、13 絶縁膜

14 層間絶縁膜

15 A1パッド

17 シリコン酸化膜

19 シリコン窒化膜

20 開口部

21 スクライブライン

22、23 チップ形成領域（ICチップ）

24 ブレードによるカット幅

25 カット幅とチップ形成領域との間隔

26 スクライブラインに対して平行方向のA1パッドの長さ

27、28 パッド

31 ポリシリコン配線

33 A1パッド

35 A1パッド

41、42 A1パッド

43、44 A1配線

47 モニタ素子

51 A1パッド

61 A1パッド

62 A1配線

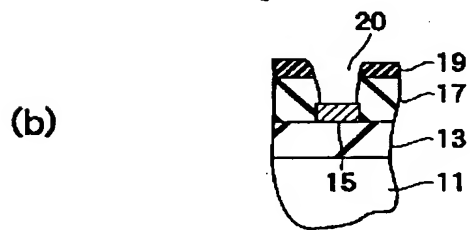
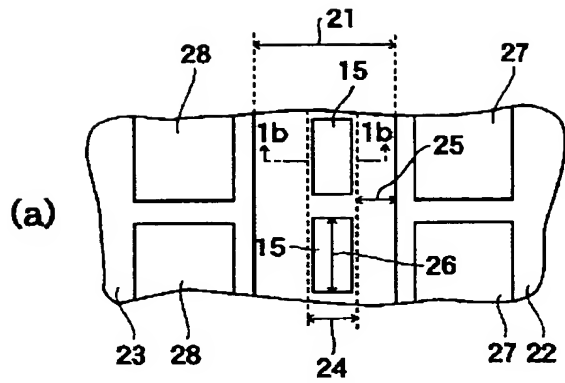
71 モニタ素子

72 A1パッド

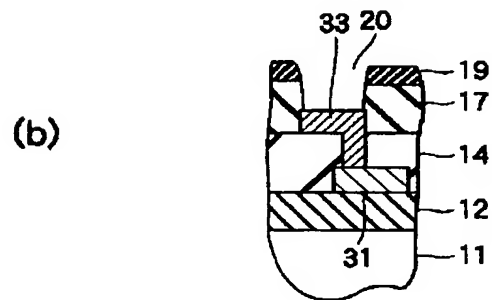
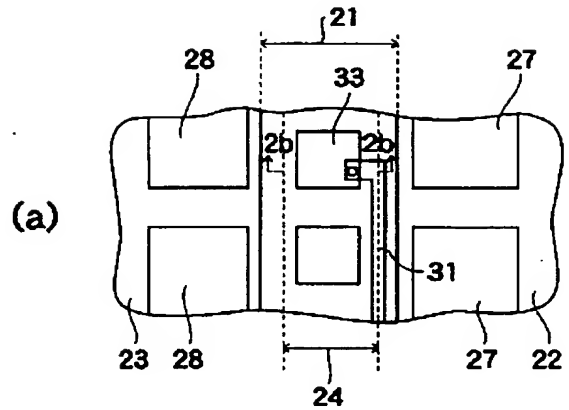
81 フレキシブルテープ

82 ボンディングリード（フィンガー）

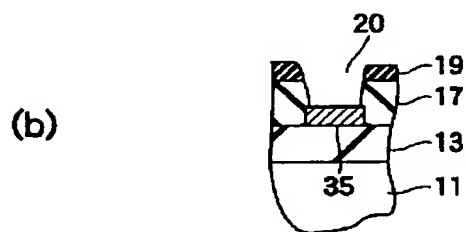
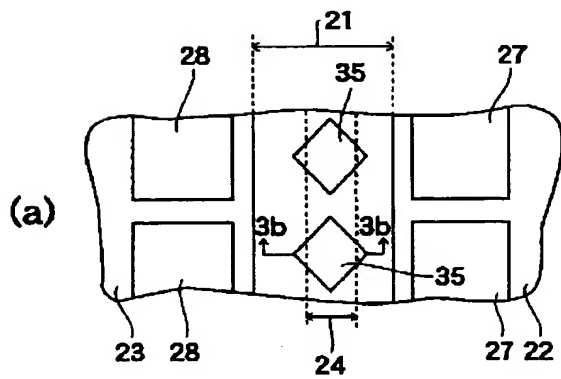
【図 1】



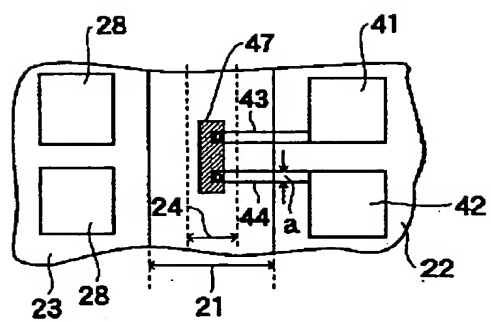
【図 2】



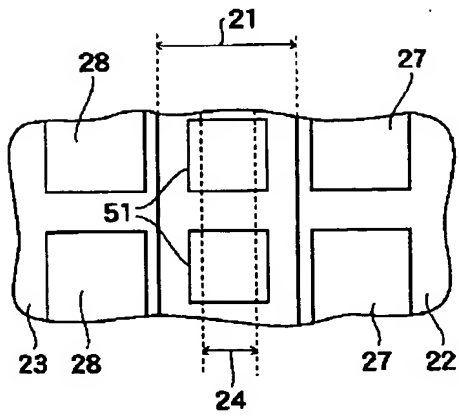
【図 3】



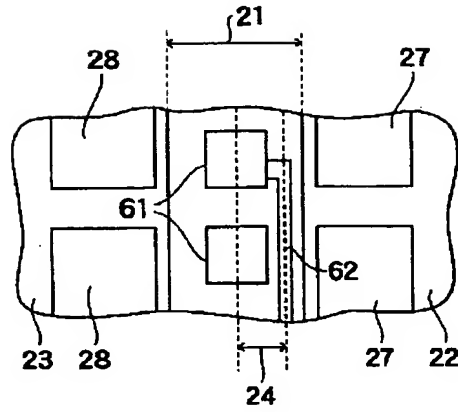
【図 4】



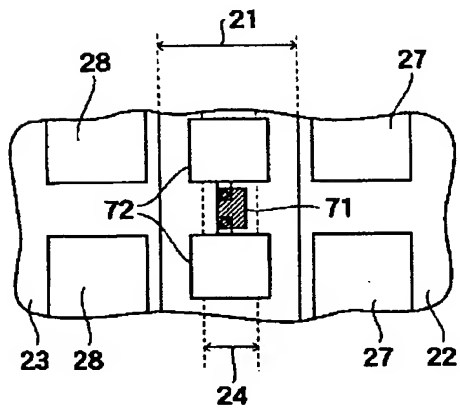
【図 5】



【図 6】



【図 7】



【図 8】

